

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

009832323 ****Image available****

WPI Acc No: 1994-112179/199414

XRPX Acc No: N94-087822

**Liquid crystal display device - has semiconductor layers of two TFT(s)
formed from polysilicon@ layer, and carrier mobility of second TFT larger
than that of first TFT NoAbstract**

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6059278	A	19940304	JP 92211248	A	19920807	199414 B

Priority Applications (No Type Date): JP 92211248 A 19920807

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6059278	A		5 G02F-001/136	

Abstract (Basic): JP 6059278 A

Dwg.1/4

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; SEMICONDUCTOR; LAYER; TWO;
TFT; FORMING; LAYER; CARRY; MOBILE; SECOND; TFT; LARGER; FIRST; TFT;
NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): H01L-029/784

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04415378 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

PUB. NO.: 06-059278 [JP 6059278 A]

PUBLISHED: March 04, 1994 (19940304)

INVENTOR(s): ASUMA HIROAKI

ONO KIKUO

KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-211248 [JP 92211248]

FILED: August 07, 1992 (19920807)

INTL CLASS: [5] G02F-001/136; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1748, Vol. 18, No. 295, Pg. 138, June
06, 1994 (19940606)

ABSTRACT

PURPOSE: To increase the mobility of driving circuits TFTs by suppressing the off current of display picture elements TFTs at the time of polycrystallizing the semiconductor silicon layer of the thin-film transistors (TFTs) constituting the liquid crystal display device.

CONSTITUTION: The parts 5, 6 forming the driving circuit of the amorphous silicon layer deposited on an insulating substrate 1 are irradiated with a laser beam at high energy of 160 to 280mJ/cm(sup 2) and the parts 4 forming display picture elements at 100 to 150mJ/cm(sup 2). The crystallinity better than the crystallinity of the display picture elements TFTs is thereby obtained with the semiconductor layers constituting the driving circuit TFTs. As a result, the driving circuits TFTs satisfy the high mobility characteristic and the display picture elements TFTs satisfy the low off current characteristic even if the display picture elements and the driving circuits are formed within the same substrate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-59278

(43) 公開日 平成6年(1994)3月4日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500	9018-2K
H01L 29/784		
	9056-4M	H01L 29/78
		311 A

審査請求 未請求 請求項の数7 (全5頁)

(21) 出願番号 特願平4-211248

(22) 出願日 平成4年(1992)8月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 阿須間 宏明

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 小野 記久雄

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 小西 信武

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 液晶表示装置及びその製造方法

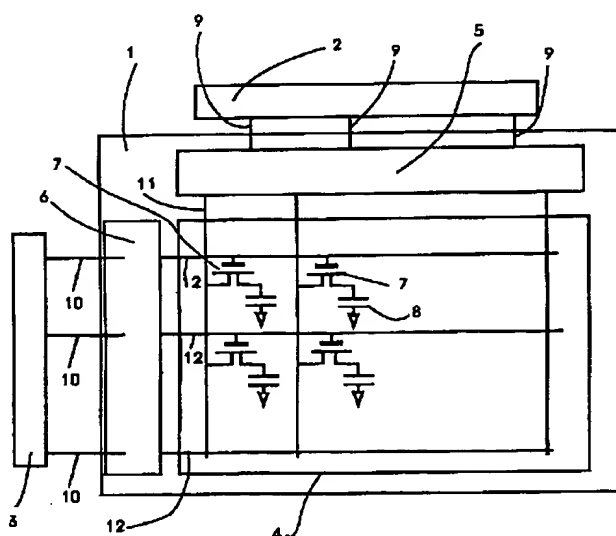
(57) 【要約】

【目的】 液晶表示装置を構成する薄膜トランジスタ (TFT) の半導体シリコン層を多結晶化する際、表示画素 TFT のオフ電流を抑制し、駆動回路 TFT の移動度を大とする。

【構成】 絶縁性基板 1 上に堆積したアモルファスシリコン層のうち、駆動回路を形成する部分 5、6 を $160 \sim 280 \text{ mJ/cm}^2$ の高エネルギーで、表示画素を形成する部分 4 を $100 \sim 150 \text{ mJ/cm}^2$ の低エネルギーでレーザ照射する。これにより、駆動回路 TFT を構成する半導体層は、表示画素 TFT のそれよりも良好な結晶性を得る。

【効果】 表示画素と駆動回路を同一基板内に形成する場合でも、駆動回路 TFT は高移動度特性を、表示画素 TFT は低オフ電流特性を満足することができる。

図 1



【特許請求の範囲】

【請求項 1】複数本の走査線及び信号線を配し、前記走査線及び信号線の交点近傍にスイッチング素子となる薄膜トランジスタを備えた液晶表示装置の構造において、画像を表示する画素をスイッチングするための第 1 の複数の薄膜トランジスタと、前記第 1 の複数の薄膜トランジスタを駆動するための回路を構成する第 2 の複数の薄膜トランジスタを同一の基板内に具備し、前記第 1 及び第 2 の薄膜トランジスタの半導体層を多結晶シリコン層により構成し、かつ前記第 1 の薄膜トランジスタよりも前記第 2 の薄膜トランジスタの方がキャリア移動度が大きいことを特徴とする液晶表示装置。

【請求項 2】請求項 1 において、前記第 1 の薄膜トランジスタのキャリア移動度が $1 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上で、前記第 2 の薄膜トランジスタのキャリア移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上でかつ前記第 1 の薄膜トランジスタのキャリア移動度よりも大であることを特徴とする液晶表示装置。

【請求項 3】請求項 1 又は 2 において、前記第 1 及び第 2 の薄膜トランジスタが逆スタガー構造であることを特徴とする液晶表示装置。

【請求項 4】請求項 1 又は 2 において、前記第 1 及び第 2 の薄膜トランジスタのゲート電極が、前記薄膜トランジスタを形成する絶縁性基板側を下部としたとき、チャンネル層よりも上部となる構造であることを特徴とする液晶表示装置。

【請求項 5】請求項 3 において、前記第 1 及び第 2 の逆スタガー構造薄膜トランジスタの半導体層がゲート絶縁膜と接する側から多結晶シリコン、アモルファスシリコンの順で二層構造としたことを特徴とする液晶表示装置。

【請求項 6】請求項 1, 2, 3, 4 又は 5 において、アモルファスシリコン層を堆積後、前記アモルファスシリコン層をレーザアニール法により多結晶シリコン層とする際、前記表示部のシリコン層よりも前記駆動回路部のシリコン層の方が照射するレーザエネルギー値が高いことを特徴とする液晶表示装置の製造方法。

【請求項 7】請求項 1, 2, 3, 4 又は 5 において、多結晶シリコン層を堆積後、前記多結晶シリコン層をレーザアニールする際、前記表示部のシリコン層よりも前記駆動回路部のシリコン層の方が照射するレーザエネルギー値が高いことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は薄膜半導体装置に係り、特にアクティブマトリックス方式の液晶表示装置に使用される薄膜トランジスタの構造、並びにその製造方法に関する。

【 0 0 0 2 】

【従来の技術】液晶表示装置に用いられる薄膜トランジスタ (TFT) としては、従来逆スタガー構造のアモル

ファスシリコン (a-Si) TFT が主に用いられてきた。逆スタガー構造 a-Si TFT は、コープレーナ構造 TFT に比べて、しきい値電圧特性並びにオフ電流 (リーク電流) 特性が優れている。しかし、a-Si TFT のキャリア移動度は約 $0.5 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以下であり、移動度が低いため、十分なオン電流をかせぐには、TFT の設計上、チャンネル幅 W とチャンネル長 L の比 W/L を大きくしなければならない。この点が、将来、液晶表示装置の高精細化及び大画面化に伴い、トランジスタサイズを縮小し開口率を大とする場合問題となる。また、周辺駆動回路を表示部と同一の基板内に形成する場合、a-Si TFT の移動度は、駆動回路 TFT の要求水準に約 2 桁低い。これらの問題点を解決するために、a-Si TFT より移動度の大きい多結晶シリコン (p-Si) 膜からなる p-Si TFT を使用することが検討されている。p-Si TFT の製作方法としては、従来、高温プロセスに耐久性のある石英ガラス等を基板とし、a-Si 膜を堆積後、 600°C 以上の高温で長時間熱アニールすることで良好な p-Si 膜を得ていた。しかしながら、この方法では、耐熱性は劣るが安価な絶縁性基板を使用することができず、かつプロセス時間が長いためスループット向上の妨げとなる。熱アニール法の問題点を解消する方法として、高出力レーザによるレーザアニール法がある。この方法では、a-Si 膜堆積後、Si 層に吸収しやすい波長のレーザを短時間照射することで絶縁性基板及び Si 層以外の形成膜にダメージを与えず p-Si 層を形成できる。その他として、絶縁性基板使用可能な 400°C 前後の低温プロセスで p-Si 膜を直接成膜する方法 (H 4 春応用物理学会半導体 A シリコン 29 a-ZM-5, 6) がある。

【 0 0 0 3 】

【発明が解決しようとする課題】しかし、上記従来の技術においては、p-Si TFT は a-Si TFT に比べてオフ電流が大きく、著しい場合には、画素が 1 フレーム表示時間内で所望の電圧を保持することができず画質に悪影響を及ぼす。そして、一般に移動度が大きなるほどオフ電流が増加する傾向が見られ、移動度特性とオフ電流特性はトレードオフの関係にある。CVD 法、スパッタ法等より形成した Si 膜質は同一基板内でほぼ均一であり、画素 TFT 並びに内蔵駆動回路 TFT の両方の特性を同時に満足するような Si 膜を同一基板内に形成することは、CVD 法、スパッタ法等のプロセスだけでは困難である。

【 0 0 0 4 】従って、本発明の目的は、低価格絶縁性基板内に高精細液晶表示素子並びにその駆動回路素子の両方を形成する液晶表示装置において、内蔵駆動回路 TFT がその用途上の応答特性に見合うだけのキャリア移動度を保ちつつ、かつ高精細表示画素 TFT のオフ電流を抑える方法を提供することにある。

【 0 0 0 5 】

10

20

30

40

50

【課題を解決するための手段】本発明は、絶縁性基板上に 400°C 以下のプロセス温度で成膜した $a-Si$ 層または $p-Si$ 層において、同一基板内に構成される表示部と内蔵駆動回路部にそれぞれ異なるレーザエネルギー値でレーザアニールする。逆スタガー薄膜トランジスタの半導体層を $a-Si$ 層と $p-Si$ 層の二層構造とする場合には、ゲート絶縁膜に接する半導体第 1 層を上記手法により形成した $p-Si$ 層とし、第 2 層を $a-Si$ 層とする。

【0006】レーザの照射方法としては、内蔵駆動回路 T F T を形成する部分のみ選択的に最適なエネルギーでレーザアニールすることによって、良好な結晶性の $p-Si$ 膜を形成し、その要求水準に見合うだけの移動度の T F T を形成する。具体的な水準としては、設計条件より $40\mu s$ 以下の時間内に 95% 以上の信号電圧書き込み率を達成する必要があるので、 $10\text{cm}^2/\text{Vs}$ 以上の移動度特性となる。表示部のシリコン層はオフ電流が電圧保持特性に影響を及ぼさず、かつ高精細液晶表示装置の画素 T F T として使用するには十分な程度の移動度、具体的には、移動度が $1\text{cm}^2/\text{Vs}$ 以上となるようにレーザアニール法により多結晶化する。このとき、内蔵駆動回路 T F T の移動度は、画素 T F T の移動度よりも大きくなるようにする。また、初めから低温プロセス法で成膜した $p-Si$ 層からなる表示画素 T F T の特性が前記条件を満足する場合には、表示部に関してはレーザアニールプロセスは省略できる。

【0007】上記の手段を逆スタガー及びゲート電極がチャネル層より上部にある構造の T F T に使用する。

【0008】

【作用】内蔵駆動回路 T F T は、1 ラインの全表示画素 T F T に駆動電圧信号を送るので高移動度特性が要求される。しかし、表示画素 T F T ほどの電圧保持特性は要求されないで、一般に $p-Si$ T F T は移動度が大になるほどオフ電流も増加するが、内蔵駆動回路 T F T についてはこの点に関する設計条件は緩和される。逆に表示画素 T F T は、電圧保持がその用途上重要な特性であるので、高精細液晶表示装置用の表示画素 T F T に見合う程度の移動度特性を有していれば、オフ電流を抑制することが先決である。そこで、絶縁性基板上に均一な $a-Si$ 膜または $p-Si$ 膜を形成後、内蔵駆動回路部のみを選択的に、表示部よりも $poly$ 化した $p-Si$ 膜からなる T F T とすれば、表示部と内蔵駆動回路部がそれぞれの用途に合った特性を持つ液晶表示装置を製作することができる。上記の手法は、逆スタガー構造だけでなくゲート電極がチャネル層より上部にある構造においても同様な効果を得ることができる。

【0009】上記の手法を、半導体層を基板側第 1 層を $p-Si$ 、第 2 層を $a-Si$ の二層構造とした逆スタガー構造 T F T に使用した場合、低抵抗層の $p-Si$ 層は薄くできるので、半導体層が $p-Si$ 層の 1 層だけの場

合よりもさらにオフ電流を下げる事が可能である。この構造では、トランジスタをオンさせる場合、反転層はキャリア移動度の大きい $p-Si$ 中に形成され、かつスタガー構造であるため反転層とソース及びドレインの重なりが大きく、 $a-Si$ と $p-Si$ の二層構造でもオン電流を大きくとれる。二層構造は、正スタガー構造 T F T にも適用できる。

【0010】

【実施例】以下、本発明の一実施例を図 1 を用いて説明する。図 1 は、周辺駆動回路内蔵 T F T 基板の構成図である。

【0011】図 1 において、1 は絶縁性基板、2 は信号側の駆動用 L S I、3 は走査側の駆動用 L S I、4 は表示部、5 は信号側内蔵駆動回路部、6 は走査側内蔵駆動回路部、7 は T F T、8 は液晶容量、9、10 はリード線、11 は信号線、12 は走査線である。

【0012】本願の発明者は、レーザアニール法により $a-Si$ 層を $p-Si$ 層に変換することで形成した $p-Si$ T F T が、図 2 に示すように横軸のレーザ照射エネルギー値に対して移動度特性がある範囲で最高の特性を有する点と、オフ電流特性はレーザ照射エネルギー値が大になるほど増加する点に着目し、周辺回路内蔵液晶表示装置を構成する 2 種の、すなわち表示部 4 と内蔵駆動回路部 5、6 のトランジスタの各々の要求特性を満足するレーザ照射法を提案する。

【0013】絶縁性基板 1 上にゲート電極、ゲート絶縁層を形成後、 $a-Si$ 層を堆積した状態で、図 1 に示す内蔵駆動回路部 5、6 を、図 2 の結果から移動度 $10\text{cm}^2/\text{Vs}$ 以上、オフ電流 $1 \times 10^{-11}\text{A}$ 以下になるエネルギー範囲 $160\text{mJ}/\text{cm}^2 \sim 280\text{mJ}/\text{cm}^2$ の高エネルギーでレーザアニールする。照射部分全体の移動度特性の均一性を良くするため、同一箇所を 1 回ないし複数回照射、または複数回照射する場合に 1 回照射毎にレーザスポットの移動ピッチを変えてレーザアニールする。エネルギー範囲が $280\text{mJ}/\text{cm}^2$ を越えると、ゲート絶縁層の熱伝導によるダメージが大きくなることから、移動度特性が急激に悪化する。ただし、オフ電流の増加傾向は変化しない。また、著しくエネルギーが高いと Si 層が蒸発する場合もある。

【0014】次に、表示部 4 を図 2 より移動度 $1\text{cm}^2/\text{Vs}$ 以上、オフ電流 $1 \times 10^{-11}\text{A}$ 以下になるエネルギー範囲 $100\text{mJ}/\text{cm}^2 \sim 150\text{mJ}/\text{cm}^2$ の低エネルギーで上記と同様にレーザアニールする。

【0015】図 2 の照射エネルギーに対する移動度並びにオフ電流特性は、 Si 膜の形成条件により、特性分布が照射エネルギー値に対してシフトしたり、エネルギー範囲が変化する。

【0016】図 3 で、実施例 1 として本発明のレーザ照射法を用いた逆スタガー構造 T F T の製造方法を説明する。

【0017】図3において、31はゲート電極、32はゲート絶縁層、33は半導体層、34はアモルファスシリコン層、35はソース側n⁺層、36はドレイン側n⁺層、37はCr電極、38はAl電極、39は保護層である。

【0018】絶縁性基板1上にスパッタ法によりゲート電極31であるAl膜を3000Å堆積する。ゲート電極31をパターニング後、プラズマCVD法によりゲート絶縁層32であるSiN層、半導体層33であるa-Si層をそれぞれ2000Å、400Å堆積する。次に、He雰囲気中において、表示部4に相当する部分にエキシマレーザを150mJ/cm²で、内蔵駆動回路部5、6に相当する部分を200mJ/cm²で照射し、a-Si層をp-Si層に変換する。上記のレーザ照射法により、表示部4では大小の結晶粒が混在する半導体層が、内蔵駆動回路部5、6では結晶粒の大きい半導体層が形成される。次に、プラズマCVD法によりa-Si層34を2000Å堆積する。その後、プラズマCVD法によりa-Si(n⁺層)35、36を300Å堆積する。ホト、エッチング工程によりSi層を島状に形成した後、透明電極であるITOをスパッタ法で堆積し、パターニングする。その後、スパッタ法でCr37、Al38を堆積する。ホトエッチング工程により、ソース、ドレイン領域を分離し、その後保護膜39を形成すると逆スタガー構造のTFTが完成する。TFT特性は、駆動回路部において、キャリア移動度：40cm²/Vs、しきい値電圧：3V、オフ電流：5×10⁻¹⁰A、画素部においては、キャリア移動度：5cm²/Vs、しきい値電圧：1.5V、オフ電流1×10⁻¹¹Aが得られる。

【0019】以上、a-Si層へのレーザアニール法について説明したが、低温プロセスにより形成したp-Si層を上記のように選択的にレーザアニールしても同様

な効果をあげられる。p-Siはa-Siよりも融点が高いので、a-Si層をレーザアニールする場合より相対的に高いレーザエネルギーで、表示部4を例えば180mJ/cm²で、内蔵駆動回路部5、6を例えば230mJ/cm²で照射する。表示部4のp-SiTFTの移動度がレーザアニール前にすでに十分な値であれば、表示部4についてはレーザアニールは省略する。

【0020】上記、TFT構造は逆スタガー構造であるが、上記の手法は実施例2として図4に示すコープレーナ構造TFTについても応用できる。

【0021】

【発明の効果】本発明によれば、液晶表示装置において、表示部TFTはオフ電流が小さくかつ高精細液晶表示装置に使用するには十分な移動度を有し、内蔵駆動回路部TFTは高移動度である特性が得られる。

【図面の簡単な説明】

【図1】本発明の周辺駆動回路内蔵TFT基板の構成図である。

【図2】本発明の原理を説明するレーザ照射エネルギー値に対する移動度及びオフ電流特性を示す図である。

【図3】本発明の実施例1である逆スタガー構造TFTの断面図である。

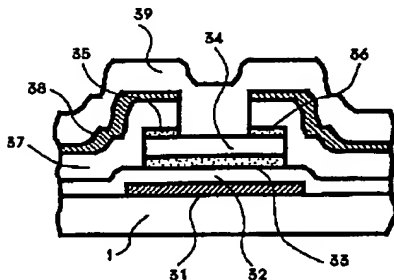
【図4】本発明の実施例2であるコープレーナ構造TFTの断面図である。

【符号の説明】

1…絶縁性基板、2…信号側の駆動用LSI、3…走査側の駆動用LSI、4…表示部、5…信号側内蔵駆動回路、6…走査側内蔵駆動回路、7…TFT、8…液晶容量、9、10…リード線、11…信号線、12…走査線、31…ゲート電極、32…ゲート絶縁膜、33…半導体層、34…アモルファスシリコン層、35…ソース側n⁺層、36…ドレイン側n⁺層、37…Cr電極、38…Al電極、39…保護膜。

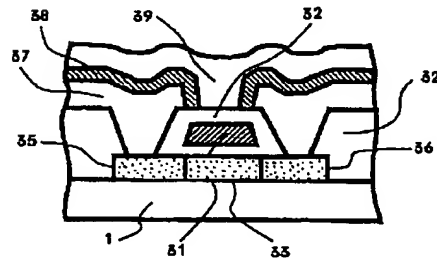
【図3】

図 3



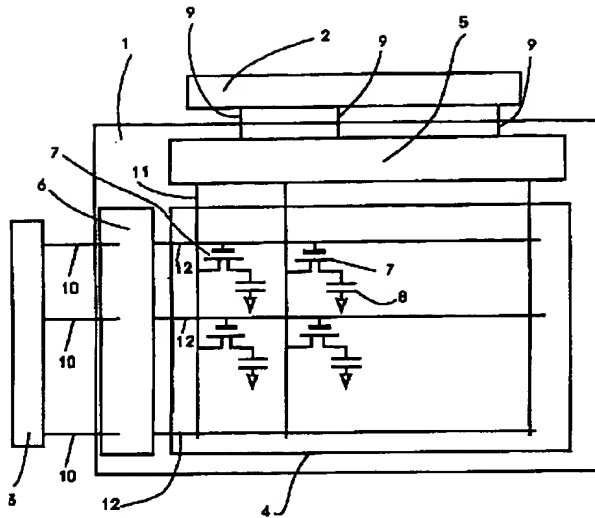
【図4】

図 4



【図 1】

図 1



【図 2】

図 2

